



GPO 254  
PATENT  
717-159P

#6CP  
12-7-89

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Hiroshi HAMADA et al

Serial No.: 07/340,777 Group: 254

Filed: April 20, 1989 Examiner:

For: A LIQUID CRYSTAL ACTIVE-MATRIX DISPLAY DEVICE

L E T T E R

Honorable Commissioner of  
Patents and Trademarks  
Washington, D.C. 20231

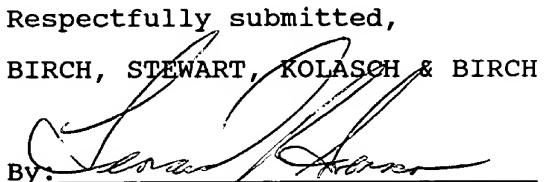
November 30, 1989

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55 (a),  
the applicant hereby claims the right of priority based on the  
following application(s).

| <u>Country</u> | <u>Application No.</u> | <u>Filed</u>   |
|----------------|------------------------|----------------|
| JAPAN          | 63-98536               | April 20, 1988 |

A certified copy of the above-noted application(s) is (are)  
attached hereto.

Respectfully submitted,  
BIRCH, STEWART, KOLASCH & BIRCH  
By: 

Attachment  
LRS/jlp  
(703)241-1300

Leonard R. Svensson  
Reg. No. 30,330

301 N. Washington Street  
P.O. Box 747  
Falls Church, VA 22046-0747

Bush, W. S. et al. et al.  
703-411303  
Hiroshi Yamada et  
Serial No.: 1,340,777

# 日本国特許庁

PATENT OFFICE  
JAPANESE GOVERNMENT

付の書類は下記の出願書類の謄本に相違ないことを証明する。  
To certify that the annexed is a true copy of the following application as filed  
Office.

日 月 日  
Application: 1988年4月20日

番 号  
Number: 昭和63年特許願第98536号

人  
Name: シャープ株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

RIBBON CUT BY  
CERTIFICATION BRANCH

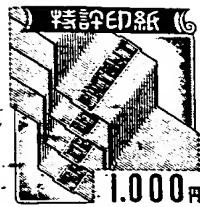
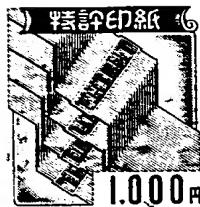
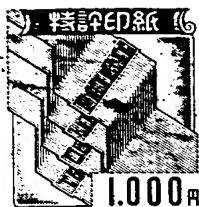
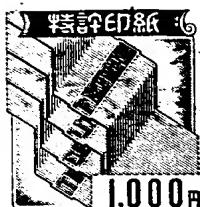
1989年5月10日

特許庁長官  
Commissioner,  
Patent Office

吉田文毅



出証平1-21929



| 国際特許分類 |        |
|--------|--------|
| サブクラス  | グループ   |
| G 09 F | 9 / 30 |

## 特 許 願 ( )

(14,000円)

昭和63年4月20日

特許庁長官

殿

### 1. 発明の名称

薄膜トランジスタ駆動型液晶表示素子

### 1. 請求項の数 … 1

### 2. 発明者

住 所 〒545 大阪市阿倍野区長池町22番22号  
シャープ株式会社内

氏名 浜田 浩(他2名)

### 3. 特許出願人

住 所 〒545 大阪市阿倍野区長池町22番22号  
名称 (504) シャープ株式会社  
代表者 辻 晴雄

### 4. 代理人

住 所 〒545 大阪市阿倍野区長池町22番22号  
シャープ株式会社内

氏名 (7223) 弁理士 杉山毅至(他2名)  
連絡先 電話 (03) 260-1161 東京支社特許部  
駐在

### 5. 添付書類の目録

|          |    |
|----------|----|
| (1) 委任状  | 1通 |
| (2) 願書副本 | 1通 |
| (3) 明細書  | 1通 |
| (4) 図面   | 1通 |

63 098536



6. 前記以外の発明者および代理人

(1) 発 明 者

住 所 〒545 大阪市阿倍野区長池町22番22号  
シャープ株式会社内

氏 名 菱 田 忠 則

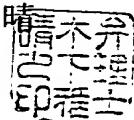
住 所 同 所

氏 名 迫 野 郁 夫

(2) 代 理 人

住 所 〒545 大阪市阿倍野区長池町22番22号  
シャープ株式会社内

氏 名 (7366) 弁理士 木 下 雅



## 明細書

### 1. 発明の名称

薄膜トランジスタ駆動型液晶表示素子

### 2. 特許請求の範囲

1. 互いに直交する方向に配設されたゲート配線と、ソース配線との各交点に対応して形成され前記ゲート配線に連結されるゲート電極、前記ソース配線に連結されるソース電極、及びマトリクス表示の絵素電極に連結されるドレイン電極、からなる薄膜トランジスタを表示駆動に対するスイッチング素子として配設したマトリクス型表示装置において、

上記ゲート電極の端部が隣接する薄膜トランジスタに連結された絵素電極端部と重なり合って付加容量を形成し、

金属タンタルから成るゲート電極と、五酸化タンタルとプラズマCVD窒化シリコンとを順次積層して成るゲート絶縁膜及び付加容量絶縁膜と、を有することを特徴とする薄膜トランジスタ駆動型液晶表示素子。

### 3. 発明の詳細な説明

#### <産業上の利用分野>

本発明は薄膜トランジスタ（以下、TFTと称する）をアドレス素子として用いるマトリクス型液晶表示素子に関し、さらに詳しくは半導体膜としてアモルファスシリコンを用いた逆スタガー型のTFTをアドレス素子として用いるマトリクス型液晶表示素子に関するものである。

#### <従来の技術>

逆スタガー型のTFTをアドレス素子として用いたマトリクス型液晶表示素子の構造の一例を第3図(a)(b)に示す。この液晶表示素子は絶縁性基板  
1 上に~~ゲート~~電極2, ゲート絶縁膜5, a-Si  
膜6, 絶縁膜7, n<sup>+</sup>a-Si膜8, ソースおよび  
ドレイン電極9, 表示用絵素電極10, 保護膜  
11を積層することにより形成されている。ここで絵素電位保持特性の改善及びゲート電圧立下がり時<sup>3次訂正</sup>のゲート電極とドレイン電極の重なり容量に起因する絵素電極電位のレベルシフトを低減させる為に液晶容量に並列となる付加容量C<sub>s</sub>を形成

している。この付加容量  $C_s$  は同図に示すように絶縁性基板 1 上に透明導電膜を絶縁分離した状態で 2 層形成して第 1 層 1 2 を付加容量電極（接地電極）とし、第 2 層 1 0 を表示用絵素電極とすることにより形成される。

#### ＜発明が解決しようとする課題＞

しかしながら、上記構造では付加容量  $C_s$  用の電極 1 2 として透明導電膜を使用している為、付加容量電極 1 2 の抵抗が高くなり、駆動信号波形のなまりやクロストークが生じる。付加容量電極 1 2 の抵抗を低くするには電極膜厚を厚くするか電極幅を大きくするかの 2 通りの方法があるが、膜厚を厚くするとその部分での段差が大きくなり後工程で形成するソース電極等の断線の原因となり好ましくない。一方、電極幅を広くすると付加容量電極 1 2 と絵素電極 1 0 及びソース電極 9 とのショートの確率が高くなり、また付加容量電極 1 2 とソース電極 9 間の容量が増加して信号のレベルシフトが生じる。更にプロセス上においても付加容量電極形成の為の工程が増え、好ましくな

い。

#### <課題を解決するための手段>

本発明は上述する問題点を解決するためになされたもので、互いに直交する方向に配設されたゲート配線とソース配線との各交点に対応して形成され、前記ゲート配線に連結されるゲート電極、前記ソース配線に連結されるソース電極、及びマトリクス表示の絵素電極に連結されるドレイン電極、からなる薄膜トランジスタを表示駆動に対するスイッチング素子として配設したマトリクス型表示装置において、上記ゲート電極の端部が隣接する薄膜トランジスタに連結された絵素電極端部と重なり合って付加容量を形成し、金属タンタルから成るゲート電極と、五酸化タンタルとプラズマCVD窒化シリコンとを順次積層してなるゲート絶縁膜及び付加容量絶縁膜とを有する薄膜トランジスタ駆動型液晶表示素子を提供するものである。

#### <作用>

上述の如く、タンタルを付加容量電極として用

いることにより、従来に比べて大幅に付加容量電極の抵抗が低減され、これに伴って五酸化タンタルを付加容量絶縁膜として用いると、五酸化タンタルの誘電率が比較的高いため、ゲート電極の一端を付加容量電極として用いて付加容量電極を形成する面積が小さくても充分な容量を得ることができる。このため、成膜、エッチングプロセスの増加なしに付加容量電極を形成することが可能となる。

#### <実施例>

以下、本発明の実施例を図面を用いて詳述するが、本発明はこれに限定されるものではない。

第1図(a)～(c)は本発明の一実施例の製造プロセスを示す上面図、第1図(d)は第1図(c)の等価回路図、第2図は第1図(c)のX-Y断面図である。

ガラス基板からなる絶縁性基板1上にスパッタリングによりTaを3000Åの厚さに形成し、これをホトリソグラフィ技術によりパターン化してゲート電極兼付加容量電極3を形成する。次に陽極酸化法により前記ゲート電極兼付加容量電極3

をなす Ta 表面を酸化して約  $2000\text{ \AA}$  の五酸化タンタルからなる第 1 の絶縁膜 4 を形成する。次に基板 1 上にプラズマ CVD により Si<sub>N</sub>x からなる第 2 の絶縁膜 5 を  $2000\text{ \AA}$  の厚さに形成し、連続してアモルファス Si (a-Si) を  $300\text{ \AA}$  の厚さに形成し、さらに Si<sub>N</sub>x を  $2000\text{ \AA}$  の厚さに形成する。この a-Si と Si<sub>N</sub>x をホトリソグラフィ技術を用いてパターン化することにより、第 1 の半導体膜 6 と第 3 の絶縁膜 7 を形成する。次にプラズマ CVD により n<sup>+</sup> アモルファス Si (n<sup>+</sup>a-Si) を  $400\text{ \AA}$  の厚さに形成し、ホトリソグラフィ技術を用いてパターン化することにより、第 2 の半導体膜 8 を形成する。次にスペッタリングあるいは電子ビーム蒸着により Ti, Mo, W 等の高融点金属を  $3000\text{ \AA}$  の厚さに形成し、ホトリソグラフィ技術を用いてパターン化することにより、ソースおよびドレイン電極 9 を形成する。次にスペッタリングあるいは電子ビーム蒸着により酸化インジウムを主成分とする透明導電膜を  $1000\text{ \AA}$  の厚さに形成し、これをホト

リソグラフィ技術を用いることによりパターン化して表示用絵素電極10を形成する。該表示用絵素電極の端部は第1の絶縁膜4及び第2の絶縁膜5を介して隣接するゲート電極3端部と重なっており、付加容量が形成される(第1図(c)斜線部)。最後にプラズマCVDによりSiNxからなる保護膜11を5000Åの厚さに形成する。以上のようにして、付加容量を形成したマトリクス型液晶表示素子が作成される。

尚、絵素電極と重ね合わせるゲート電極兼付加容量電極として、その絵素を駆動するTFTのゲート電極の一行上又は一行下のゲート電極を用いる。

付加容量電極の電位レベルは直流的にはどういうレベルでも差し支えないが、絵素電位を保持する期間中(書き完了直後から次の書きの直前まで)は変動しない事が望ましい。しかし、本発明ではゲート電極と付加容量用電極とを兼用しているので、絵素電位保持期間中にゲート選択パルスが印加される。このパルスは付加容量を通じて絵素電

位を押し上げ、TFTの動作点を変化させるが、その方向は TFT の OFF バイアスを深くする方向なので、蓄積された電荷が流れ出る事はない。

また、ゲート選択パルス印加中は、液晶に印加される電圧は変化するが、全保持期間中に占める時間の割合は  $1/\text{ゲート本数}$  なので液晶に印加される電圧の実効値に与える影響は無視できる。

ここで、付加容量電極とゲート電極とが一体化されるが、付加容量として絵素電極と重ね合わせられる領域は絵素電極の周辺部に帯状に設けると絵素電極が開口率の減少を小さく抑えることができ、好ましい。これは特に液晶をノーマリーホワイトモード（無電界時に白を表示し、印加電圧が高くなるに従って透過率が下がるようなモード、例えばツィステッド・ネマティック型で偏光板をクロス状態に配置した場合）で駆動した場合に効果的である。ノーマリーホワイトモードでは絵素電極とゲート配線或いはソース配線との隙間から光がもれてコントラスト比を低下させるため、カラーフィルター側に遮光マスクを設ける必要があ

る。この際、TFT基板とカラーフィルター側基板の貼合せマージンを確保するため、一般にカラーフィルター側の遮光マスクの開口部よりも絵素電極の方を大きくする。そこで、カラーフィルターの開口部からはみ出した絵素電極領域に付加容量を設けると、パネルとしての開口率をほとんど低下させる事なく付加容量を形成する事ができる。

#### <発明の効果>

以上のように本発明によれば、成膜、エッチャングプロセスの増加なしICs用電極を形成でき、また高誘電率の五酸化タンタルを絶縁膜に使用しているのでCs用電極の面積を小さくしても大きな容量を得ることができ、他のプロセスにあまり影響を与えず高歩留で付加容量を形成できる。本付加容量の形成により、絵素電位保持特性が改善され、ゲート電圧立下がり時のゲート電極とドレイン電極の重なり部分の容量に寄因する絵素電極電位のレベルシフトを低減できる。

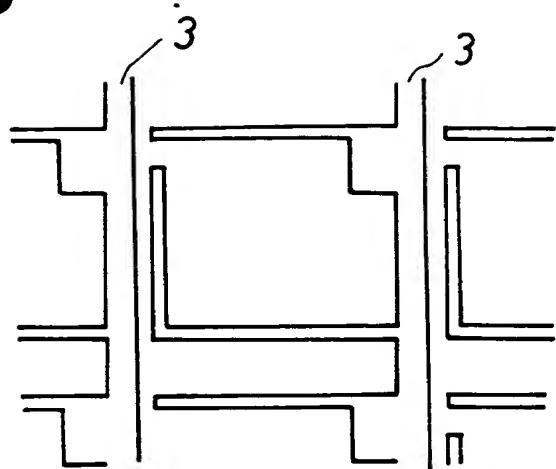
#### 4. 図面の簡単な説明

第1図(a)～(c)は本発明の一実施例の製造工程を

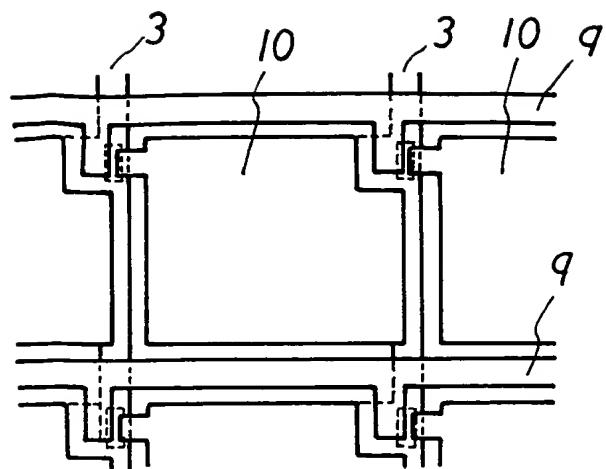
示す上面図、第1図(d)は第1図(c)の等価回路図、  
第2図は第1図(c)のX-Y断面図、第3図(a)は従  
来例を示す上面図、第3図(b)は従来例を示す要部  
断面図である。

1：絶縁性基板、3：ゲート電極兼付加容量電  
極、4：第1の絶縁膜、5：第2の絶縁膜、  
6：第1の半導体膜、7：第3の絶縁膜、8：第  
2の半導体膜、9：ソース・ドレイン電極、  
10：表示用絵素電極、11：保護膜

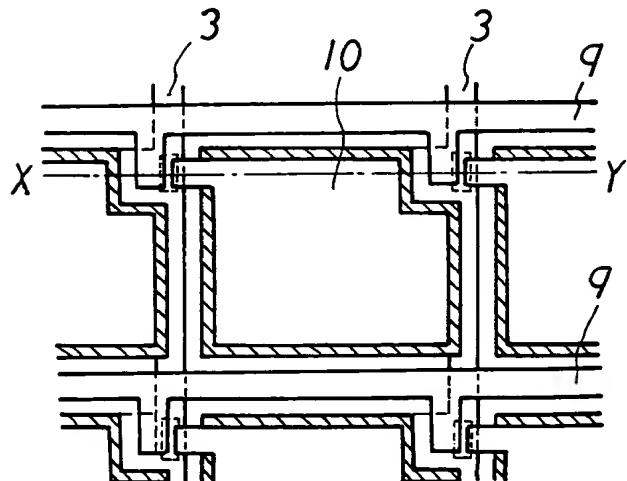
代理人 弁理士 杉山毅至（他1名）



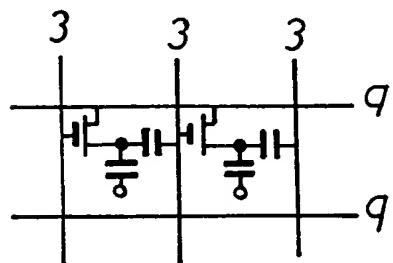
第 1 図 (a)



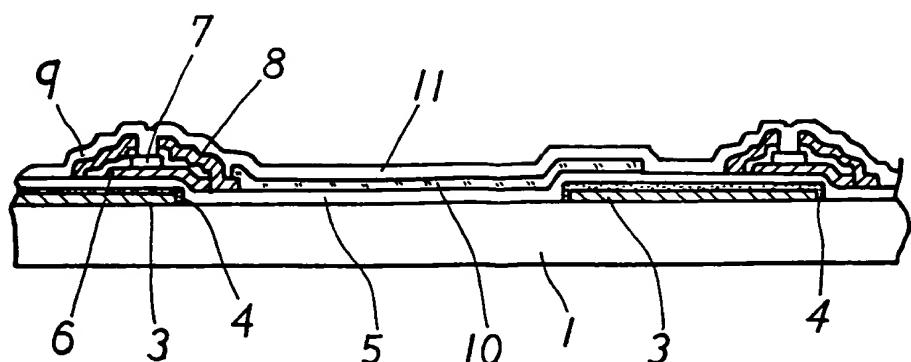
第 1 図 (b)



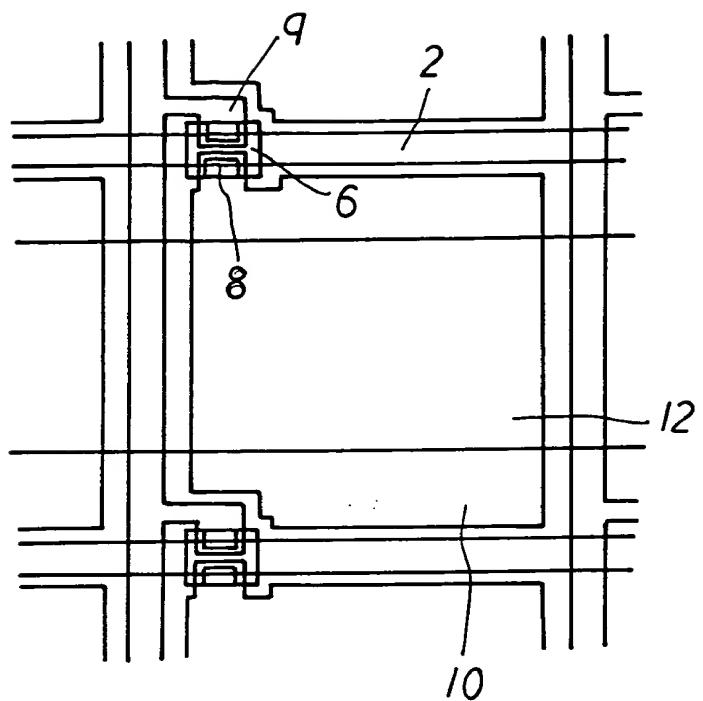
第 1 図 (c)



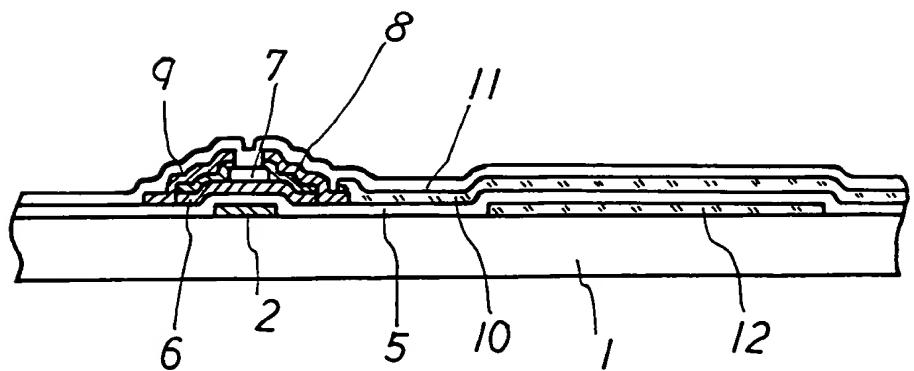
第 1 図 (d)



第 2 図



第3図 (a)



第3図 (b)